فهرست مطالب

فصل اول: سیستم اعداد ۱۱
۱ـ۱ سیستم اعداد ۱۱
۱ـ۲ نمایش اعداد ۱۲
۱ـ۳ تبدیل مبنا ۱۳
۱ـ۴ جمع در مبناهای مختلف ۱۷
۱ـ۵ تفریق در مبناهای مختلف ۱۸
۱ـ۶ ضرب در مبناهای مختلف ۲۰
۱ـ۷ تقسیم در مبناهای مختلف ۲۲
۱ـ۸ نمایش اعداد بدون علامت در مبنای 2 ..... ۲۴
۱ـ۹ سیستم اعداد مکمل ۲۵
۱ـ۱۰ نمایش مکمل در مبنای کاهش یافته ۲۸
۱ـ۱۱ نمایش اعداد علامت‌دار در مبنای 2 ..... ۲۹
۱ـ۱۲ اعداد ممیز ثابت برای نمایش اعداد حقیقی ۳۳
۱ـ۱۳ اعداد ممیز شناور ۳۵
۱ـ۱۴ استاندارد IEEE – 754 برای نمایش اعداد ممیز شناور ۳۷
۱ـ۱۵ کدهای مورد استفاده در سیستم‌های دیجیتال ۳۹
۱ـ۱۶ کد BCD ۳۹
۱ـ۱۷ کد گری (Gray) ۴۱
۱ـ۱۸ کد سه‌افزا یا افزونه سه (Ex-3) ۴۴
۱ـ۱۹ کد ASCH ۴۵
۱ـ۲۰ خطایابی و تصحیح خطا ۴۶
۱ـ۲۱ بیت توازن ۴۹
تست‌های فصل اول: سیستم اعداد ۵۳
پاسخ تست‌های فصل اول: سیستم اعداد ۵۴

فصل دوم: مروری بر جبر بول ۵۷
۲ـ۱ اصول مقدماتی جبر بول ۵۷
۲ـ۲ اصل دوگانی ۵۸
۲ـ۳ قضایای مهم جبر بول ۵۹
۲ـ۴ استفاده از اصول و قضایای جبر بول در ساده‌سازی ۶۴
۲ـ۵ معرفی عملگر xor و xnor ۶۵
تست‌های فصل دوم: مروری بر جبر بول ۶۸
پاسخ تست‌های فصل دوم: مروری بر جبر بول ۶۹

فصل سوم: توابع منطقی ۷۱
۳ـ۱ توابع سوئیچینگ (توابع منطقی) ۷۱
۳ـ۲ جدول درستی ۷۳
۳ـ۳ نمایش جبری تابع منطقی ۷۴
۳ـ۴ نمایش استاندارد توابع منطقی ۸۰
۳ـ۵ روش‌های مختلف به دست آوردن فرم استاندارد SOP و POS ۸۳
۳ـ۶ توابع منطقی با وضعیت بی‌اهمیت (توابع ناکامل) ۸۷

CamScanner

۳ـ۷ عملیات منطقی بر روی فرم‌های استاندارد توابع منطقی ۸۸
تست‌های فصل سوم: توابع منطقی ۹۶
پاسخ تست‌های فصل سوم: توابع منطقی ۹۷

فصل چهارم: پیاده‌سازی توابع منطقی ۹۹
۴ـ۱ مفاهیم اولیه در پیاده‌سازی مدارهای منطقی ۹۹
۴ـ۲ گیت‌های منطقی ۱۰۲
۴ـ۳ پیاده‌سازی توابع منطقی ۱۰۷
۴ـ۴ تاخیر در مدارهای منطقی ۱۱۴
۴ـ۵ تحقق مدارهای دیجیتال با ترانزیستور MOS ۱۲۰
تست‌های فصل چهارم: پیاده سازی توابع منطقی ۱۲۷
پاسخ تست‌های فصل چهارم: پیاده سازی توابع منطقی ۱۲۸

فصل پنجم: ساده‌سازی توابع منطقی ۱۲۹
۵ـ۱ ساده‌سازی یک تابع منطقی ۱۲۹
۵ـ۲ ساده‌سازی با استفاده از قوانین و قضایای جبر بول ۱۳۰
۵ـ۳ جدول (نقشه) کارنو ۱۳۱
۵ـ۴ نمایش یک تابع منطقی در جدول کارنو ۱۴۴
۵ـ۵ ساده‌سازی توابع منطقی با استفاده از جدول کارنو ۱۵۴
۵ـ۶ ساده‌سازی توابع منطقی به روش Quine – McCluskey (Q–M) ۱۸۵
تست‌های فصل پنجم: ساده‌سازی توابع منطقی ۱۹۰
پاسخ تست‌های فصل پنجم: ساده‌سازی توابع منطقی ۱۹۹

فصل ششم: مخاطره ۲۱۷
۶ـ۱ مفهوم مخاطره ۲۱۷
۶ـ۲ انواع مخاطره ۲۲۴
۶ـ۳ بررسی مخاطره ایستا در حالت کلی ۲۲۵
۶ـ۴ بررسی مخاطره پویا در حالت کلی ۲۲۷
۶ـ۵ مخاطره بالقوه ۲۲۸
۶ـ۶ رفع مخاطره ایستا ۲۳۲
تست‌های فصل ششم: مخاطره ۲۳۷
پاسخ تست‌های فصل ششم: مخاطره ۲۴۷

فصل هفتم: مدارهای ترکیبی پیمانه‌ای (ماژولار) ۲۶۷
۷ـ۱ مدار رمزگشا یا دیکودر ۲۶۷
۷ـ۲ مدار رمزکننده یا انکودر ۲۷۹
۷ـ۳ مدار مالتی‌پلکسر (تسهیم‌کننده) ۲۸۰
۷ـ۴ مدار دی‌مالتی‌پلکسر ۲۹۴
۷ـ۵ مدارات جمع‌کننده ۲۹۴
۷ـ۶ مدارات تفریق‌کننده ۳۰۲
۷ـ۷ مدارات مقایسه‌کننده ۳۰۷
تست‌های فصل هفتم: مدارهای ترکیبی پیمانه‌ای (ماژولار) ۳۱۱
پاسخ تست‌های فصل هفتم: مدارهای ترکیبی پیمانه‌ای (ماژولار) ۳۳۰

CamScanner

فصل هشتم: عناصر حافظه ۳۵۹
۸ـ۱ ساختار یک حافظه ساده ۳۵۹
۸ـ۲ NOR SR – Latch ۳۶۰
۸ـ۳ NAND SR – Latch ۳۶۵
۸ـ۴ SR – Latch کنترل شده ۳۶۹
۸ـ۵ D – Latch کنترل شده ۳۷۱
۸ـ۶ فلیپ‌فلاپ Flip-flop ۳۷۲
۸ـ۷ فلیپ فلاپ پایه ـ پیرو (پیشرو ـ پسرو) MS–FF ۳۷۴
۸ـ۸ انواع فلیپ فلاپ‌ها ۳۷۷
۸ـ۹ پایه‌های کنترلی فلیپ‌فلاپ‌ها ۳۸۲
۸ـ۱۰ عملکرد زمانی فلیپ‌فلاپ‌ها ۳۸۳
۸ـ۱۱ جدول تحریک و نمودار حالت فلیپ‌فلاپ‌ها ۳۸۴
۸ـ۱۲ تبدیل فلیپ‌فلاپ‌ها به یکدیگر ۳۸۶
تست‌های فصل هشتم: عناصر حافظه ۳۸۸
پاسخ تست‌های فصل هشتم: عناصر حافظه ۳۹۲

فصل نهم: مدارهای ترتیبی ۳۹۹
۹ـ۱ ساختار کلی مدارهای ترتیبی ۳۹۹
۹ـ۲ نمایش عملکرد مدارهای ترتیبی ۴۰۲
۹ـ۳ تحلیل مدارهای ترتیبی سنکرون ۴۰۸
۹ـ۴ طراحی مدارهای ترتیبی سنکرون ۴۲۳
۹ـ۵ مدار شناسایی الگو ۴۳۴
۹ـ۶ کاهش حالت ۴۳۸
۹ـ۷ شمارنده‌ها ۴۴۷
۹ـ۸ رجیستر و شیفت رجیستر ۴۵۶
تست‌های فصل نهم: مدارهای ترتیبی ۴۶۳
پاسخ تست‌های فصل نهم: مدارهای ترتیبی ۵۱۶

فصل دهم: بافرهای سه حالته ۵۹۹
۱۰ـ۱ معرفی بافر سه حالته ۵۹۹
۱۰ـ۲ پیاده‌سازی مالتی‌پلکسر با بافر سه حالته ۶۰۱
۱۰ـ۳ پیاده‌سازی توابع منطقی با استفاده از بافرهای سه حالته ۶۰۲
۱۰ـ۴ تحلیل مدارهای دارای بافر سه حالته ۶۰۴
۱۰ـ۵ استفاده از مقاومت بالابر / پایین‌بر در خروجی بافرهای سه حالته ۶۰۸
تست‌های فصل دهم: بافرهای سه حالته ۶۱۱
پاسخ تست‌های فصل دهم: بافرهای سه حالته ۶۱۵

فصل یازدهم: مدارهای قابل برنامه‌ریزی ۶۲۳
۱۱ـ۱ مفهوم مدارهای قابل برنامه‌ریزی PLD ۶۲۳
۱۱ـ۲ ساختار کلی PLD های ساده ۶۲۶
۱۱ـ۳ انواع PLD های ساده ۶۲۸
۱۱ـ۴ ساختار کلی PLD های پیچیده ۶۳۰
۱۱ـ۵ FPGA ۶۳۱
تست‌های فصل یازدهم: مدارهای قابل برنامه‌ریزی ۶۳۴
پاسخ تست‌های فصل یازدهم: مدارهای قابل برنامه‌ریزی ۶۳۷

CamScanner

فصل دوازدهم: زبان توصیف سخت‌افزاری Verilog ۶۴۱
۱۲ـ۱ مدل یک سیستم دیجیتال ۶۴۱
۱۲ـ۲ زبان توصیف سخت‌افزاری (HDL) ۶۴۲
۱۲ـ۳ زبان Verilog ۶۴۳
تست‌های فصل دوازدهم: زبان توصیف سخت‌افزاری Verilog ۶۷۲
پاسخ تست‌های فصل دوازدهم: زبان توصیف سخت‌افزاری Verilog ۶۸۳

CamScanner